

Docket No.: 60188-713

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Tsuyoshi EBUCHI, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: November 20, 2003	:	Examiner:
	:	
For: RECEIVER CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

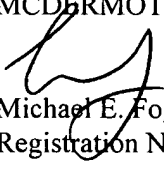
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2002-346153, filed on November 28, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: November 20, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 2 8 日
Date of Application:

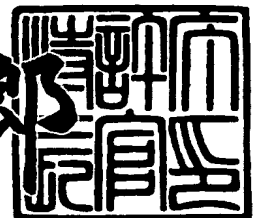
出 願 番 号 特 願 2 0 0 2 - 3 4 6 1 5 3
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 4 6 1 5 3]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 7 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 2037640117

【提出日】 平成14年11月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/093

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 江渕 剛志

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 吉河 武文

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 岩田 徹

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レシーバ回路

【特許請求の範囲】

【請求項 1】 所定時間内で所定回数以上の遷移をする信号を受信するレシーバ回路において、

前記受信信号を処理する処理部と、

前記受信信号が入力され、この受信信号に基づく信号の遷移回数を検知する遷移回数検知回路を有し、この遷移回数検知回路により検知された遷移回数が予め定めた設定値以下のとき、前記処理部に動作を規制する信号を出力する信号検知部とを備えた

ことを特徴とするレシーバ回路。

【請求項 2】 所定時間内で所定回数以上の遷移をする信号を受信するレシーバ回路において、

前記受信信号を処理する処理部と、

前記受信信号が入力され、この受信信号の振幅を検知する振幅検知回路を有し、この振幅検知回路により検知された振幅が予め定めた設定値以下のとき、前記処理部に動作を規制する信号を出力する信号検知部とを備えた

ことを特徴とするレシーバ回路。

【請求項 3】 請求項 1 又は 2 記載のレシーバ回路において、
受信信号はデータ信号又はクロック信号である
ことを特徴とするレシーバ回路。

【請求項 4】 請求項 1 又は 2 記載のレシーバ回路において、
受信信号は複数の伝送路が一体に形成されたケーブルにより受信されるデータ信号及びクロック信号であり、このデータ信号及びクロック信号の何れか一方が前記信号検知部に入力される

ことを特徴とするレシーバ回路。

【請求項 5】 請求項 2 記載のレシーバ回路において、
前記振幅検知回路は、
前記受信信号が入力され、この受信信号の振幅が予め定めた設定値以下のと

き、HIGHまたはLOWの信号を出力するオフセットバッファを備えたことを特徴とするレシーバ回路。

【請求項6】 請求項5記載のレシーバ回路において、前記信号検知部は、前記オフセットバッファの設定値を変更する設定値変更回路を備えた

ことを特徴とするレシーバ回路。

【請求項7】 請求項6記載のレシーバ回路において、前記設定値変更回路による前記設定値の変更は、外部より読み書き可能なレジスタの情報に基づいて行われる

ことを特徴とするレシーバ回路。

【請求項8】 前記受信信号が入力され、この受信信号の振幅が予め定めた設定値以下のとき、HIGH又はLOWの信号を出力するオフセットバッファを有し、

前記オフセットバッファから出力される信号が、前記受信信号に基づく信号として前記遷移回数検知回路に入力される

ことを特徴とする請求項1記載のレシーバ回路。

【請求項9】 請求項1、2、3、4又は8記載のレシーバ回路において、前記処理部は、受信したデータ信号を処理するデータ処理部であって、前記信号検知部から出力される信号を受けて、リセット動作をする

ことを特徴とするレシーバ回路。

【請求項10】 請求項1、2、3、4又は8記載のレシーバ回路において、前記処理部は、受信したデータ信号を処理するデータ処理部であって、前記信号検知部から出力される信号を受けてパワーダウン動作をする

ことを特徴とするレシーバ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、レシーバ回路に関し、さらに詳しくは、ケーブルを用いたデータ伝送システムにおいて、ケーブルの抜けを低電力に検知するために適したレシーバ

回路に関する。

【0002】

【従来の技術】

一般に、LVDS (LOW VOLTAGE DIFFERENTIAL SIGNALING) に代表されるケーブルを用いたデータ伝送システムにおいては、ケーブルが抜けたことを検知し、その状態に応じてデータ出力をHIGHまたはLOWに固定するという機能がレシーバ回路に必要とされ、この機能はフェイルセーフ機能と呼ばれる。

【0003】

上記フェイルセーフ機能を実現するための従来のレシーバ回路を図6に示す。本レシーバ回路は、データ処理部1000とクロック処理部2000とから構成される。

【0004】

前記データ処理部1000は、入力バッファ1と、その入力バッファ1のシリアル出力信号RDATAを7bit単位でパラレルデータに変換する1:7シリアル-パラレル変換を行い、そのパラレルデータ信号を出力する1:7シリアル-パラレル変換回路2により構成される。前記入力バッファ1の小振幅差動データ信号を入力する正、負の入力端子RDP、RDM間には、終端抵抗RT1が接続され、正の入力端子RDPと電源VDDとの間にはプルアップ抵抗RP1が接続され、また、負の入力端子RDMと電源VSS間にはプルダウン抵抗RP2が接続される。

【0005】

また、前記クロック処理部2000は、入力バッファ3と、その入力バッファ3の出力信号RCLOCKを周波数及び位相調整するマルチフェーズPLL回路4とで構成される。前記入力バッファ3の小振幅差動クロック信号を入力する正、負の入力端子INP、INMには、前記データ処理部1000における入力バッファ1と同様に終端抵抗RT2、プルアップ抵抗RP3及びプルダウン抵抗RP4が接続される。

【0006】

本レーバ回路においては、フェイルセーフ機能を実現するために、上記のプルアップ抵抗 R_{P1} 、 R_{P3} 、プルダウン抵抗 R_{P2} 、 R_{P4} を用いており、ケーブルが抜けて非接続状態のときは、例えば、前記データ処理部 1000 の場合では、3 個のプルアップ抵抗 R_{P1} 、終端抵抗 R_{T1} 、プルダウン抵抗 R_{P2} を通じて電流が流れ、その終端抵抗 R_{T1} における $I R$ ドロップを前記入力バッファ 1 により検知して、前記 1 : 7 シリアル-パラレル変換回路 2 の出力レベルを HIGH または LOW の状態に固定していた。ここで、前記終端抵抗 R_{T1} は、LVDS 規格においては $100\ \Omega$ に設定される。尚、LVDS 規格に関する技術は、非特許文献 1 に記載され、また、LVDS 規格のフェイルセーフ機能に関する技術は、非特許文献 2 に記載されている。

【0007】

例えば、 $R_{P1}=R_{P2}=20\text{ k}\Omega$ 、 $R_{T1}=100\ \Omega$ 、 $V_{DD}=3.3\text{ V}$ 、 $V_S=0\text{ V}$ とすると、 $3.3\text{ V}/40.1\text{ k}\Omega=82\text{ }\mu\text{A}$ の電流が 3 個の抵抗 R_{P1} 、 R_{T1} 、 R_{P2} を通じて流れ、終端抵抗 R_{T1} には $82\text{ }\mu\text{A}\times 100\ \Omega=8.2\text{ mV}$ の電位差が発生することになる。

【0008】

【非特許文献 1】

「トランジスタ技術」CQ 出版社、1997 年 7 月号、p. 271～308

【非特許文献 2】

「トランジスタ技術」CQ 出版社、1997 年 7 月号、p. 286～287

【0009】

【発明が解決しようとする課題】

しかしながら、上記従来の構成では、フェイルセーフ機能が働かない正常なケーブル接続時であっても、前記 3 個のプルアップ抵抗 R_{P1} 、終端抵抗 R_{T1} 及びプルダウン抵抗 R_{P2} を通じて定常的に電流が流れてしまっており、無駄に電力を消費している。特に、データチャネル数（データ処理部の数）が増えると、データチャネル数に比例して定常電流も増加してしまい、無駄な消費電力が更に増大する。

【0010】

そこで、例えば、消費電流を削減するように、前記プルアップ抵抗 R_{P1} 及びプルダウン抵抗 R_{P2} を大きな値に設定すれば、これらの抵抗を流れる定常電流は小さくなるものの、前記終端抵抗 R_{T1} における $I R$ ドロップ値が小さくなってしまい、入力データラインのノイズを誤検知する可能性が高くなる。

その結果、フェイルセーフ時のノイズ耐性が弱くなってしまう。従って、この構成を採用することはできない。

【0011】

本発明は、前記の問題を解決するものであり、その目的は、レシーバ回路において、ケーブルが抜けて非接続になった状態を低電力で検知することにある。

【0012】

【課題を解決するための手段】

前記の目的を達成するために、本発明では、プルアップ抵抗及びプルダウン抵抗をデータ信号入力端子及びクロック入力端子から取り除き、前記データ信号又はクロック信号の遷移回数又は振幅を検知し、この遷移回数又は振幅に基づいてケーブルの抜けた状態の検知を実現する。

【0013】

すなわち、請求項1記載の発明は、所定時間内で所定回数以上の遷移をする信号を受信するレシーバ回路において、前記受信信号を処理する処理部と、前記受信信号が入力され、この受信信号に基づく信号の遷移回数を検知する遷移回数検知回路を有し、この遷移回数検知回路により検知された遷移回数が予め定めた設定値以下のとき、前記処理部に動作を規制する信号を出力する信号検知部とを備えたことを特徴とする。

【0014】

請求項2記載の発明は、所定時間内で所定回数以上の遷移をする信号を受信するレシーバ回路において、前記受信信号を処理する処理部と、前記受信信号が入力され、この受信信号の振幅を検知する振幅検知回路を有し、この振幅検知回路により検知された振幅が予め定めた設定値以下のとき、前記処理部に動作を規制する信号を出力する信号検知部とを備えたことを特徴とする。

【0015】

請求項3記載の発明は、請求項1又は2記載のレシーバ回路において、受信信号はデータ信号又はクロック信号であることを特徴とする。

【0016】

請求項4記載の発明は、請求項1又は2記載のレシーバ回路において、受信信号は複数の伝送路が一体に形成されたケーブルにより受信されるデータ信号及びクロック信号であり、このデータ信号及びクロック信号の何れか一方が前記信号検知部に入力されることを特徴とする。

【0017】

請求項5記載の発明は、請求項2記載のレシーバ回路において、前記振幅検知回路は、前記受信信号が入力され、この受信信号の振幅が予め定めた設定値以下のとき、HIGHまたはLOWの信号を出力するオフセットバッファを備えたことを特徴とする。

【0018】

請求項6記載の発明は、請求項5記載のレシーバ回路において、前記信号検知部は、前記オフセットバッファの設定値を変更する設定値変更回路を備えたことを特徴とする。

【0019】

請求項7記載の発明は、請求項6記載のレシーバ回路において、前記設定値変更回路による前記設定値の変更は、外部より読み書き可能なレジスタの情報に基づいて行われることを特徴とする。

【0020】

請求項8記載の発明は、請求項1記載のレシーバ回路において、前記受信信号が入力され、この受信信号の振幅が予め定めた設定値以下のとき、HIGH又はLOWの信号を出力するオフセットバッファを有し、前記オフセットバッファから出力される信号が、前記受信信号に基づく信号として前記遷移回数検知回路に入力されることを特徴とする。

【0021】

請求項9記載の発明は、請求項1、2、3、4又は8記載のレシーバ回路において、前記処理部は、受信したデータ信号を処理するデータ処理部であって、前

記信号検知部から出力される信号を受けて、リセット動作をすることを特徴とする。

【0022】

請求項10記載の発明は、請求項1、2、3、4又は8記載のレシーバ回路において、前記処理部は、受信したデータ信号を処理するデータ処理部であって、前記信号検知部から出力される信号を受けてパワーダウン動作をすることを特徴とする。

【0023】

以上により、請求項1、2及び3記載の発明では、ケーブルが抜けた状態では、信号検知部において受信信号の遷移回数や振幅が設定値以下となって、信号検知部から信号がデータ処理部に出力され、データ処理部の動作が規制される。

【0024】

従って、フェイルセーフ機能を実現するために従来ではレシーバ回路の入力端子に設けていたプルアップ抵抗及びプルダウン抵抗が不要になり、小面積化となる。しかも、これらの抵抗を介して消費していた定常電流もなくなるので、低電力にケーブルの抜けた非接続状態を検知することが可能である。特にデータチャネル数が多いシステムでは、各チャネル毎に定常電流を削減できるので、回路全体及びシステム全体の低電力化を図ることができる。

【0025】

また、請求項4記載の発明では、信号検知部に入力されるデータ信号及びクロック信号の両伝送路が1本のケーブルに一体となっているので、そのうちの何れか一つの信号のみの遷移回数又は振幅を検知することにより、ケーブルの抜けを確実に検知することができる。従って、クロック信号の遷移回数等を検知する場合には、データに遷移回数の規定が必要なくなる。

【0026】

請求項5～7記載の発明では、ケーブルが抜けて受信信号のラインがハイインピーダンスの状態になった場合に、前記信号ラインにノイズが混入したとしても、このノイズの振幅が設定値以下であるので、オフセットバッファの出力信号がHIGH又はLOWに固定される。従って、ノイズの混入に起因するケーブルの

抜けの誤検出がない。よって、ノイズ耐性の向上と低消費電力化とを両立しながら、フェイルセーフ機能を実現することが可能である。

【0 0 2 7】

特に、請求項 6 及び 7 記載の発明では、オフセットバッファの設定値を設定値変更回路により変更できるので、アプリケーションの違いによるノイズの大小に応じてノイズの判別レベルを変化させて、ノイズ耐性を変化させることが可能となり、設計の自由度が増す。

【0 0 2 8】

請求項 8 記載の発明では、ケーブルが抜けた状態では、受信信号の遷移回数が一般的には設定値以下となって、データ処理部の動作が信号検知部により規制されるが、信号検知部にノイズが混入したとしても、そのノイズの遷移回数が設定値以下であって、オフセットバッファの出力が H I G H 又は L O W に固定されるので、遷移回数検知回路では入力される信号の遷移回数が確実に設定値以下となって、常に正常なフェイルセーフ機能を実現することが可能である。

【0 0 2 9】

請求項 9 記載の発明では、ケーブルの抜けた非接続状態が生じたときには、データ処理部は信号検知部からの信号に基づいてリセット動作をする。従って、データ処理部の出力をすべて L O W 又は H I G H に固定できるので、例えば、映像の送受信システムにおいては、ケーブルが抜けて非接続状態となった場合には単一色になり、ケーブルが抜けたことを人間の目で容易に確認することができる。

【0 0 3 0】

請求項 1 0 記載の発明では、ケーブルの抜けた非接続状態が生じたときには、データ処理部は信号検知部からの信号に基づいてパワーダウン動作をするので、ケーブルが抜けて非接続状態になった際の電流制御が可能になり、フェイルセーフ時の低電力化及び電力制御を実現することができる。

【0 0 3 1】

【発明の実施の形態】

以下、本発明の実施の形態のレシーバ回路を図面に基づいて説明する。

【0 0 3 2】

(第1の実施の形態)

図1は本発明の実施の形態におけるレシーバ回路を示す回路図である。このレシーバ回路は、データ処理部(処理部)100と、クロック処理部(処理部)200と、信号検知部300とから構成される。

【0033】

前記データ処理部100は、入力バッファ1と、1:7シリアル-パラレル変換回路2とから構成される。このデータ処理部100では、レシーバ回路の小振幅差動データ入力端子RDP、RDMから受信された小振幅の差動データ信号(これらを以下において、データ入力信号RDP、RDMと呼ぶ。)を前記入力バッファ1で受けて、CMOS振幅レベル、例えば、ここでは振幅3.3Vのシリアルデータ信号RDATAに変換して出力する。ここで、入力バッファ1の2つの入力端子INP、INM間には終端抵抗RT1が接続されている。本実施の形態において、この終端抵抗の値は、例えば100Ωであり、また、前記小振幅の差動データ信号RDP/Mは、例えば図2に示したように、周波数595Mbps、振幅1.2V±200mVの信号である。この入力バッファ1の出力端子は、同入力バッファ1の出力シリアルデータ信号RDATAをパラレルデータに変換する前記1:7シリアル-パラレル変換回路2のSDIN端子に接続される。ここでは、シリアルデータ信号RDATAの1秒当りの伝送データ数は595Mbps×1ビットで表される。そして、変換されたパラレルデータ信号は1:7シリアル-パラレル変換回路2の出力端子PDOUTからレシーバ回路の出力端子RD[0:6]へ出力される。この時点での1秒当りの伝送データ数は、85Mbps×7ビットで表される。

【0034】

前記クロック処理部200は、入力バッファ3と、マルチフェーズPLL回路4とから構成される。このクロック処理部200では、レシーバ回路の小振幅差動クロック入力端子RCKP、RCKMから受信された小振幅の差動クロック信号(これらも以下、クロック入力信号RCKP、RCKMと呼ぶ。)を前記入力バッファ3で受けて、出力信号RCLOCKを出力する。ここで、入力バッファ3の2つの入力端子INP、INM間には終端抵抗RT2が接続されている。本

実施の形態におけるこの終端抵抗の値は例えば $100\ \Omega$ であり、また、前記クロック信号 RCKP/M は、図 2 に示したように、例えば周波数 85 MHz 、振幅 $1.2\text{ V} \pm 200\text{ mV}$ の信号である。入力バッファ 3 から出力された出力信号 R CLOCK は、周波数及び位相の調整をするために前記マルチフェーズ PLL 回路 4 の入力端子 REFC K へ入力される。そしてマルチフェーズ PLL 回路 4 により周波数及び位相の調整がされたクロック信号 LCK が出力端子 CKOUT より出力される。このクロック信号 LCK、は前記データ処理部 100 の 1 : 7 シリアル-パラレル変換回路 2 においてデータ信号のシリアル-パラレル変換時に送信側との同期を図るために、1 : 7 シリアル-パラレル変換回路 2 のクロック入力端子 CK に入力される。

【0035】

前記信号検知部 300 は、周波数検知回路（遷移回数検知回路）5 により構成される。この周波数検知回路 5 の入力端子 CKIN には、前記クロック処理部 200 における入力バッファ 3 の出力信号 R CLOCK が入力され、この周波数検知回路 5 により所定時間内における信号 R CLOCK の遷移回数を検知する。そして、その遷移回数が設定値以下のときは出力端子 SD からリセット信号 NRESET を出力する。このリセット信号 NRESET は、前記データ処理部 100 の 1 : 7 シリアル-パラレル変換回路 2 のリセット信号入力端子 NR に入力され、レシーバ回路に受信されたデータ信号の出力がリセット制御される。しかし、所定時間内において検知される前記信号 R CLOCK の遷移回数が設定値を超えるときには、前記リセット信号は出力されず、データ処理部 100 の動作を妨げない。

【0036】

次に、本実施の形態のレシーバ回路の動作を説明する。まず、周波数検知回路 5 の入力信号 CKIN の周波数が 20 kHz 以上のとき、すなわち、クロック入力端子 RCKP/M にケーブルが接続されていてクロック信号が入力されているときには、周波数検知回路 5 の出力端子 SD が H レベル ($SD=H$) となるので、1 : 7 シリアル-パラレル変換回路 2 のリセット信号入力端子 NR のレベルが H レベルとなって、この 1 : 7 シリアル-パラレル変換回路 2 は通常動作を行う

【0037】

一方、逆に、周波数検知回路5の入力信号CKINの周波数が20kHz以下のとき、すなわち、ケーブルが抜けて接続されていないときには、周波数検知回路5の出力端子SDがLレベル（SD=L）となるので、前記1：7シリアルーパラレル変換回路2のリセット信号入力端子NRのレベルがLレベルとなって、このシリアルーパラレル変換回路2にリセット信号が入力され、前記出力データRD[0：6]がLレベルに固定されて、フェイルセーフ機能が実現される。

【0038】

従って、本実施の形態では、従来のようにデータ処理部及びクロック処理部に設けていたプルアップ抵抗、プルダウン抵抗を不要にできて、シンプルな構成でフェイルセーフ機能を実現でき、小面積化と低消費電力化との両立が可能である。また、フェイルセーフ機能を実現するために必要な消費電流が小さくなり、システム全体の低電力化が可能になる。特に、データチャネル数が多いシステムにおいては低電力化の効果が大きい。

【0039】

尚、本実施の形態のレシーバ回路では、データ信号とクロック信号とが入力される場合に、クロック信号に基づく信号RCLOCKを信号検知部300に入力したが、データ信号に基づく信号RDATAのみを信号検知部300に入力してもよい。また、データ信号のみが受信信号である場合においては、このデータ信号を前記信号検知部300により同様に検知してもよいのは勿論である。

【0040】

また、前記信号検知部300における信号の遷移回数に基づいて、前記データ処理部100へ出力するリセット信号を制御して、データ処理部100の動作を規制（リセット制御）したが、このデータ処理部100がパワーダウン信号入力端子を有する場合には、信号検知部300からの出力信号をパワーダウン信号として前記パワーダウン信号入力端子に入力することにより、同様にデータ処理部100の動作をパワーダウン規制することも可能である。

【0041】

(第2の実施の形態)

以下、本発明の第2の実施の形態のレシーバ回路について図3を参照しながら説明する。本実施の形態は、ケーブルが抜けてクロック入力信号RCKP/Mがハイインピーダンス状態(Hi-Zの状態)になった場合に、ノイズがクロック信号入力ラインRCKP/Mにのってしまっても、このノイズを信号として誤検知することがないように対処したものである。尚、以下の実施の形態においては、前記第1の実施の形態と同様の機能を有する構成要素については同一の符号を付して、その説明を省略する。

【0042】

図3に示したレシーバ回路は、データ処理部100とクロック処理部200と信号検知部400とから構成される。

【0043】

本レシーバ回路と第1の実施の形態における図1に示した回路との違いは、図1のレシーバ回路では前記信号検知部300が前記周波数検知回路5のみで構成されていたが、本レシーバ回路ではオフセットバッファ6とバイアス発生回路7とが備わり、新たに信号検知部400とした点である。

【0044】

図3の前記信号検知部400において、前記オフセットバッファ6が受信した前記クロック入力信号RCKP/Mは、周波数検知回路5において所定時間内の遷移回数を検知するために、先ず、同オフセットバッファ6によりCMOS振幅レベルのシングル信号RSIGに変換される。ここで、オフセットバッファ6は、前記バイアス発生回路7の出力したバイアス電圧BIASP、BIASMを受けて、 $V_{th} = |BIASP - BIASM|$ で定義される設定値 V_{th} (この V_{th} はオフセット値とも呼ぶ)と上記信号RSIGの振幅とを比較して、信号RSIGの振幅が設定値 V_{th} 以下のときは、前記出力信号RSIGをLOWレベルの信号又はHIGHレベルの信号に固定して出力し、逆に、ある設定値 V_{th} を超えるときには、前記クロック入力信号RCKP/Mをそのまま出力する。そして、この出力信号RSIGは前記周波数検知回路5に入力される。

【0045】

本実施の形態においては、前記設定値 V_{th} は例えば $V_{th} = 50 \text{ mV}$ に設定される。また、前記バイアス発生回路 7 は抵抗分割により容易にバイアス電圧を生成できる回路であり、それらバイアス電圧 $B I A S P$ 、 $B I A S M$ の設定値は、例えば $B I A S P = 1.225 \text{ V} (= 1.2 \text{ V} + 25 \text{ mV})$ 、 $B I A S M = 1.175 \text{ V} (= 1.2 \text{ V} - 25 \text{ mV})$ である。

【0046】

以上のように、前記信号検知部 400 を前記オフセットバッファ 6 と前記周波数検知回路 5 とで構成することにより、ケーブルが抜けてクロック入力端子 $R C K P / M$ が $H i - Z$ 状態になった場合にノイズが混入したとしても、そのノイズを誤検知することなく、正常にフェイルセーフ機能を実現することができる。

従って、ノイズ耐性の向上と低電力化とを両立しながら、フェイルセーフ機能を実現することが可能である。

【0047】

尚、本実施の形態でも、前記信号検知部 400 におけるオフセットバッファ 6 の出力信号 $R S I G$ の所定時間内の遷移回数に基づいて前記データ処理部 100 のリセット動作を制御したが、これに代えて、データ処理部 100 がパワーダウン信号入力端子を有する場合には、このパワーダウン信号をこの端子に入力することにより、データ処理部 100 の動作をパワーダウン規制することも可能である。

【0048】

(第3の実施の形態)

図4は第3の実施の形態におけるレシーバ回路を示す。

【0049】

このレシーバ回路は、データ処理部 100 と、クロック処理部 200 と、信号検知部 500 とから構成される。前記第2の実施の形態における図3に示すレシーバ回路との違いは、図3における前記信号検知部 400 にオフセットバッファ 6 の設定値 V_{th} を変更するために、設定値変更端子 $S E L$ を有するバイアス選択回路（設定値変更回路）8 を加え、これを新たに信号検知部 500 とした点である。

【0050】

前記バイアス選択回路8は前記バイアス発生回路7に接続され、このバイアス発生回路8の出力する複数の異なるバイアス電圧を受け、それらのうち2つのバイアス電圧をオフセットバッファ6のバイアス電圧入力端子BP、BMに出力する。ここで、バイアス選択回路8の出力する2つのバイアス電圧は前記設定値変更端子SELに入力された信号に基づき選択される。尚、前記信号検知部500において、オフセットバッファ6及び周波数検知回路5は第2の実施の形態における図3に示したレシーバ回路の信号検知部400と同じ構成であり、同じ働きをする。

【0051】

本実施の形態における例では、前記バイアス発生回路7は4つの異なるバイアス電圧V1、V2、V3及びV4を出力し、また、前記バイアス選択回路8は前記設定値変更端子SELの値がHレベルであれば、(BP、BM) = (V1、V4)を選択し、Lレベルであれば(BP、BM) = (V2、V3)を選択して出力する。ここでは、4つのバイアス電圧は、例えばV1 = 1.25V、V2 = 1.225V、V3 = 1.175V、V4 = 1.15Vに設定されているので、設定値変更端子SELの選択により、前記オフセットバッファ6のオフセット電圧を100mVと50mVとで切り替えることが可能となる。

【0052】

以上のように、使用するアプリケーションのノイズ量に応じて、ノイズを信号として誤検知することを防ぐことができるオフセット値を選択することが可能になるため、設計の自由度が増す。

【0053】

尚、本実施の形態では、前記信号検知部500におけるオフセットバッファ6の出力信号RSIGの所定時間内の遷移回数を前記周波数検知回路5で検知し、その検知された回数がある設定値以下のときには、データ処理部100へリセット信号NRESETを出力することにより、データ処理部100の動作をリセット規制したが、前記第1及び第2の実施の形態と同様に、データ処理部100がパワーダウン信号入力端子を有する場合には、リセット信号に代わり、周波数検

知回路 5 からデータ処理部 100 への信号をパワーダウン信号とすることにより、データ処理部 100 の動作をパワーダウン規制することも可能である。

【0054】

また、前記データ処理部 100 の動作を規制するには、前記信号検知部 500 から周波数検知回路 5 を削除してオフセットバッファ 6 の出力を制御し、リセット制御信号として直接に 1:7 シリアル-パラレル変換回路 2 のリセット端子 NR に入力することも可能である。これによれば、振幅を検知するだけでフェイルセーフ機能を実現することが可能であり、遷移回数を検知する必要がない。

【0055】

(第 4 の実施の形態)

図 5 は第 4 の実施の形態におけるレシーバ回路である。

【0056】

本レシーバ回路は、データ処理部 100、クロック処理部 200、信号検知部 500、レジスタ部 600、レジスタ参照部 700 とから構成される。

【0057】

上記第 3 の実施の形態における図 4 の回路構成との違いは、バイアス選択回路 8 の設定値変更端子 SEL へ入力される入力信号を、具体的に、レジスタ参照部 700 の出力する出力信号により行うこととした点である。前記レジスタ参照部 700 は前記レジスタ部 600 におけるレジスタの特定ビットに蓄えられた 01 情報を参照し、その情報に対応した信号を前記設定値変更端子 SEL に与えることにより、オフセット電圧値（設定値） V_{th} を切り替える。また、このレジスタの情報は外部から読み書き可能となっており、ソフトウェアで前記レジスタ部 600 におけるレジスタのアドレスを指定して、そのレジスタの内容を書き換えることが可能である。つまり、ソフトウェアによりノイズ耐性の選択をすることが可能となる。

【0058】

尚、本実施の形態においても、第 1、第 2 及び第 3 の実施の形態と同様に、データ処理部 100 がパワーダウン信号入力端子を有する場合には、リセット信号に代わり、周波数検知回路 5 の出力信号としてパワーダウン信号を出力すること

により、データ処理部 100 の動作を規制することも可能である。

【0059】

また、第 3 の実施の形態に示したのと同様に、前記データ処理部 100 の動作を規制するために、信号検知部 500 において周波数検知回路 5 を削除することも可能である。

【0060】

【発明の効果】

以上説明したように、請求項 1、2 及び 3 記載の発明によれば、従来、フェイルセーフ機能を実現するためにレシーバ回路の入力端子に設けていたプルアップ抵抗及びプルダウン抵抗を不要にでき、小面積化となる。しかも、これらの抵抗を介して消費していた定常電流もなくなるので、低電力にケーブルの抜けた非接続状態を検知することが可能である。特にデータチャネル数が多いシステムでは、各チャネル毎に定常電流を削減できるので、回路全体及びシステム全体の低電力化を図ることができる。

【0061】

請求項 4 記載の発明によれば、クロック信号の遷移回数等を検知する場合には、データに遷移回数の規定が必要なくなる。

【0062】

請求項 5～7 記載の発明によれば、ノイズの混入に起因するケーブルの抜けの誤検出がなくなり、ノイズ耐性の向上と低消費電力化とを両立しながら、フェイルセーフ機能を実現することが可能である。

【0063】

特に、請求項 6 及び 7 記載の発明によれば、アプリケーションの違いによるノイズの大小に応じてノイズの判別レベルを変化させて、ノイズ耐性を変化させることが可能となり、設計の自由度が増す。

【0064】

請求項 8 記載の発明によれば、遷移回数検知回路に混入ノイズが入力されても、その信号の遷移回数が確実に設定値以下となって、常に正常なフェイルセーフ機能を実現することが可能である。

【0065】

請求項9記載の発明によれば、ケーブルの抜けの検出時には、データ処理部をリセット動作させて、その出力をすべてLOW又はHIGHに固定したので、例えば、映像の送受信システムにおいては、ケーブルが抜けて非接続状態となった場合には単一色になり、ケーブルが抜けたことを人間の目で容易に確認することができる。

【0066】

請求項10記載の発明によれば、ケーブルが抜けて非接続状態になった際には、データ処理部をパワーダウン制御したので、その電流制御が可能になり、フェイルセーフ時の低電力化及び電力制御を実現することができる。

【図面の簡単な説明】**【図1】**

本発明の第1の実施の形態におけるレシーバ回路を示す回路図である。

【図2】

図1のレシーバ回路のタイミングチャート図である。

【図3】

本発明の第2の実施の形態におけるレシーバ回路を示す回路図である。

【図4】

本発明の第3の実施の形態におけるレシーバ回路を示す回路図である。

【図5】

本発明の第4の実施の形態におけるレシーバ回路を示す回路図である。

【図6】

従来のレシーバ回路を示す回路図である。

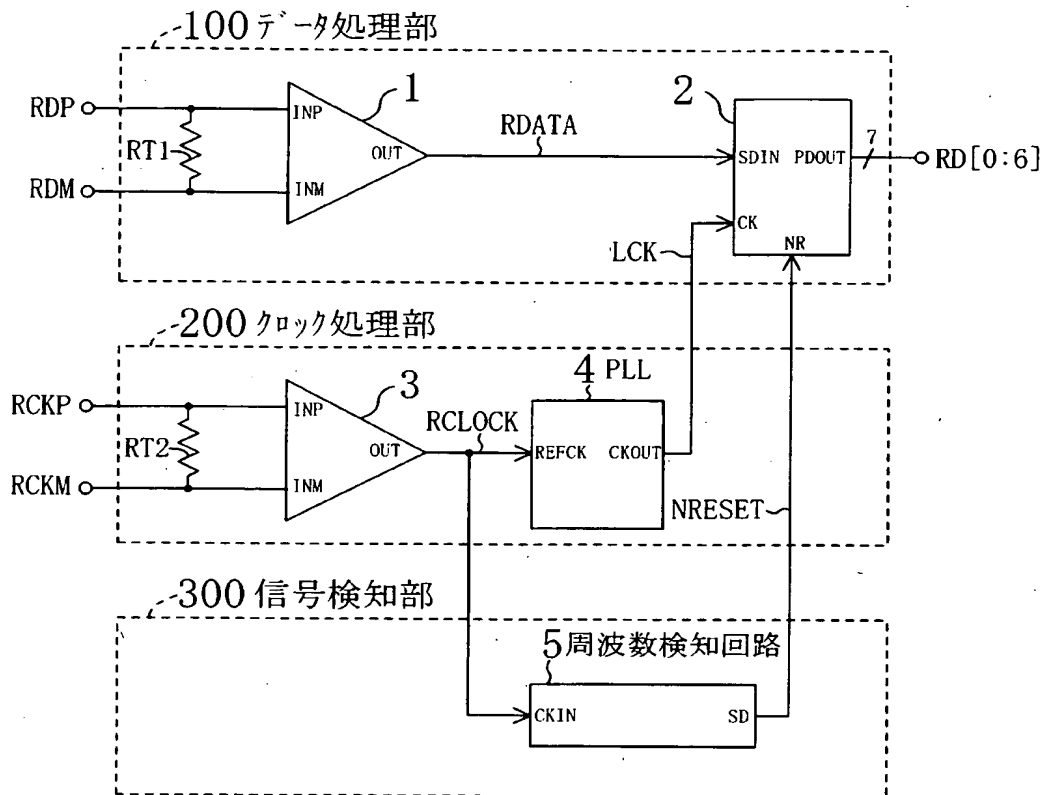
【符号の説明】

- | | |
|---|-------------------|
| 1 | 入力バッファ |
| 2 | 1:7シリアルーパラレル変換回路 |
| 3 | 入力バッファ |
| 4 | マルチフェーズPLL回路 |
| 5 | 周波数検知回路（遷移回数検知回路） |

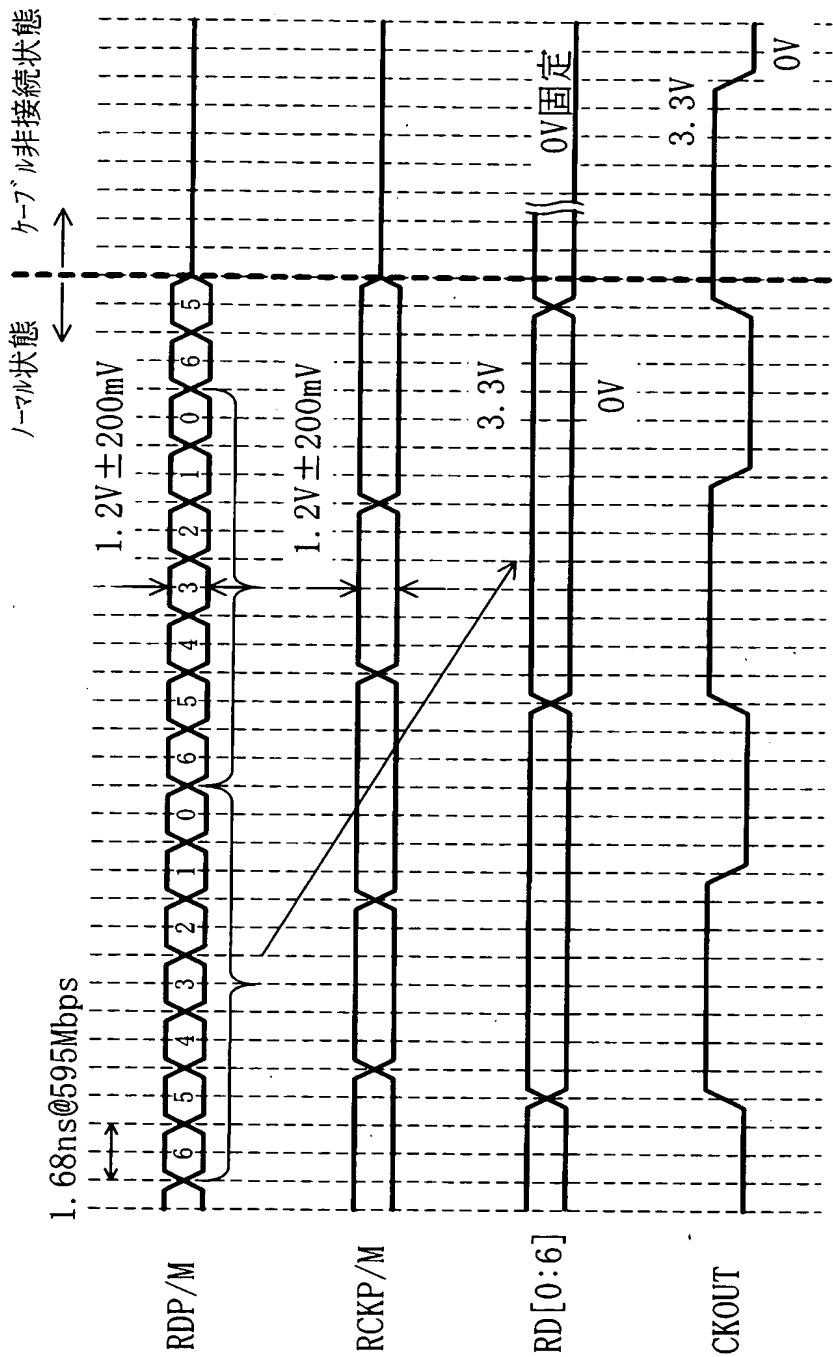
6	オフセットバッファ
7	バイアス発生回路
8	バイアス選択回路（設定値変更回路）
100	データ処理部（処理部）
200	クロック処理部（処理部）
300、400、500	信号検知部

【書類名】 図面

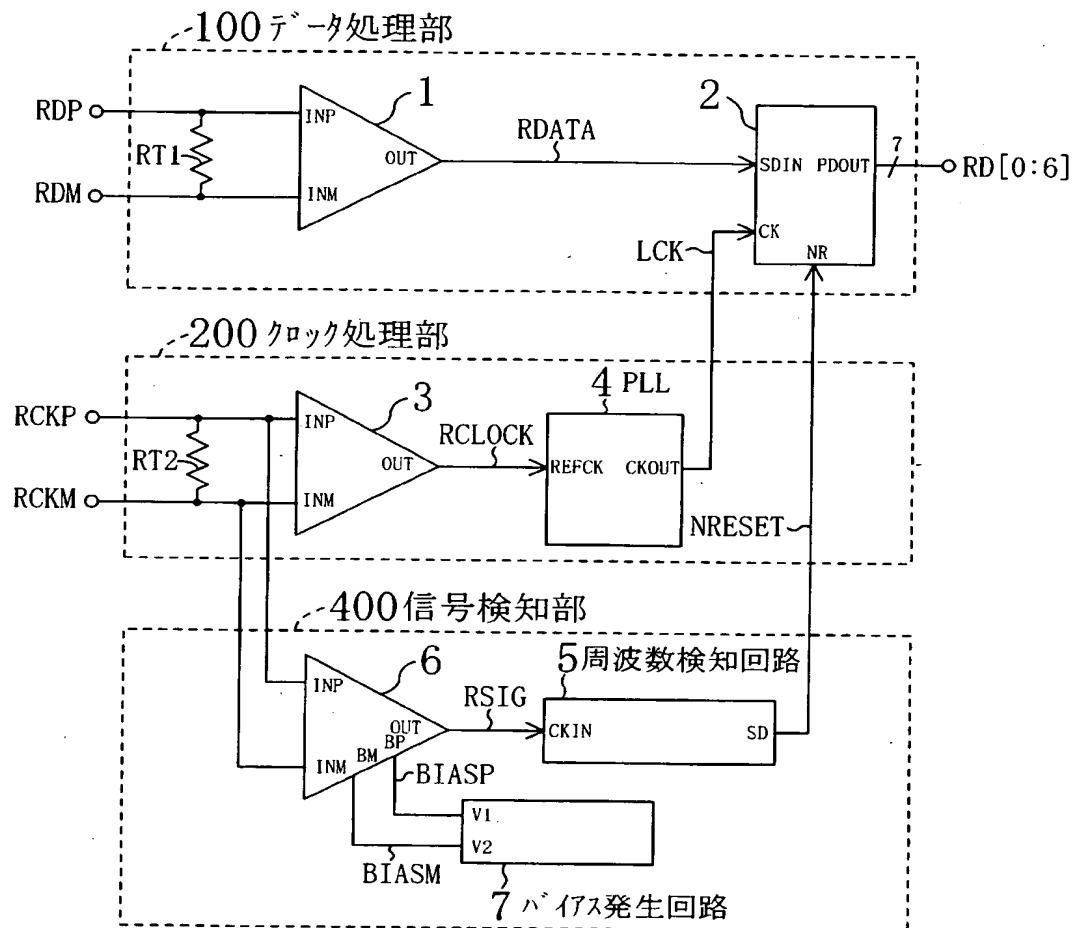
【図 1】



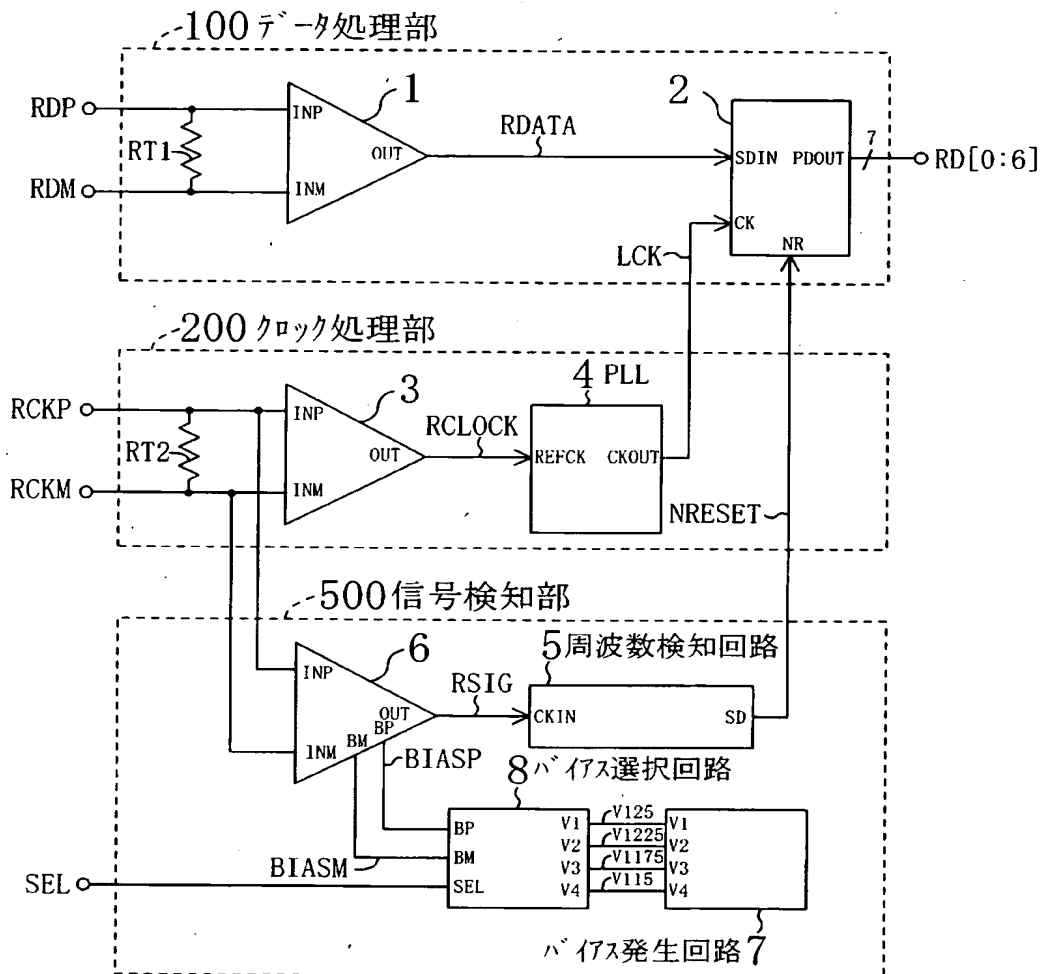
【図 2】



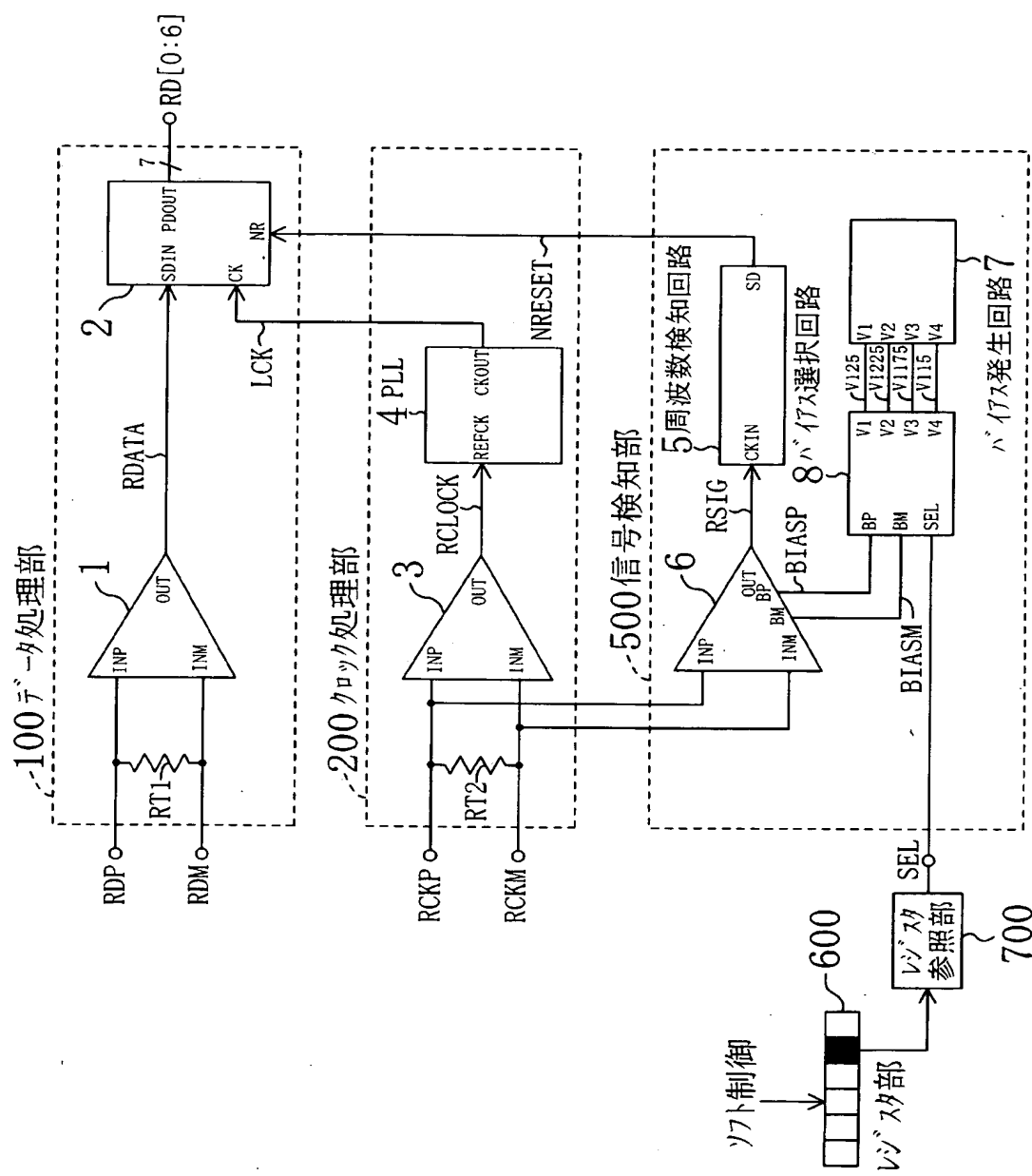
【図3】



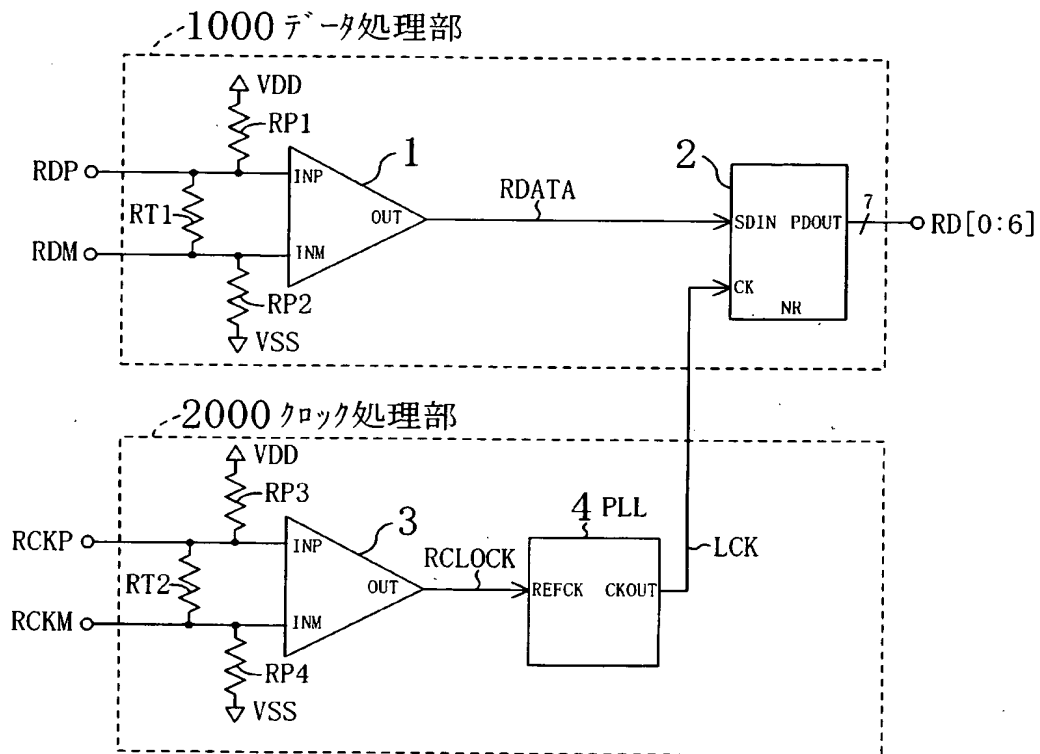
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 ケーブルを介して信号を受けるレシーバ回路において、ケーブルの抜けをプルアップ抵抗及びプルダウン抵抗を設けることなく低電力に検知可能にし、且つノイズ耐性を高くする。

【解決手段】 データ信号 R D P、R D M 及びクロック信号 R C K P、R C K M を受信するレシーバ回路において、クロック信号 R C K P、R C K M に基づく信号の遷移回数を信号検知部 3 0 0 の周波数検知回路 5 で検知する。そして、その遷移回数が予め定めた設定値以下のときには、周波数検知回路 5 からデータ処理部 1 0 0 の 1 : 7 シリアル-パラレル変換回路 2 の有するリセット信号入力端子 N R にリセット動作をさせる信号を出力し、受信データの出力を規制する。

【選択図】 図 1

特願 2 0 0 2 - 3 4 6 1 5 3

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社